

PROJETO DE FILTROS DIGITAIS COM IMPLEMENTAÇÃO EM LINGUAGEM DE DESCRIÇÃO DE HARDWARE (HDL)

Emanoel Raimundo Queiroz Chaves Junior¹ (UFRN, Bolsista PIBIC/CNPq)
Manoel Jozeane Mafra de Carvalho² (CCR/CRN/INPE, Orientador)

RESUMO

Este trabalho, iniciado em agosto de 2009, tem como objetivo em desenvolver os filtros digitais do bloco de processamento digital do transponder do satélite universitário ITASAT que está sendo desenvolvido pelo INPE em parceria com o ITA e a AEB. Os filtros a serem desenvolvidos são do tipo FIR – *Finite Impulse Response* que tem como coeficientes dos termos do denominador da função de transferência, valores que são obtidos pela Transformada Inversa de Fourier da resposta em frequência desejada. Estamos utilizando a linguagem VHDL para descrição do filtro. Essa descrição tem como base a convolução entre os coeficientes do filtro e o sinal de entrada digital empregando registradores para deslocar o sinal discreto no domínio do tempo, multiplicadores para o produto dos coeficientes com os sinais de tempo correspondentes e somadores para realizar a soma dos valores e incorporar o sinal de saída. O próximo passo, após a descrição do filtro com VHDL, é programar a placa FPGA e realizar os testes utilizando os equipamentos em laboratório. O modelo de FPGA a ser utilizado no bloco de processamento digital é o Actel ProAsic 3E por ser mais robusto, porém utilizamos para os testes o FPGA Altera Cyclone II EP2C35F. Este modelo foi considerado o mais adequado para testes por já dispor de conversores Analógico-to-Digital e Digital-to-Analogic enquanto que o primeiro não os dispõe. Precisamos desses conversores para conseguir injetar o sinal no FPGA e avaliar a saída no osciloscópio. Das etapas citadas, já foram realizadas: a descrição do filtro FIR em VHDL e três testes utilizando um gerador de sinais da HP e um osciloscópio da HAMEG, o primeiro teste com resultados insatisfatórios, o segundo com bons resultados, porém com baixa relação sinal-ruído e o terceiro com bons resultados e relação sinal-ruído satisfatória. Neste terceiro teste utilizamos um método computacional para geração de frequências chamado de CORDIC. O próximo passo do projeto será desenvolver a interface para conexão dos conversores ADC e DAC com o FPGA Actel ProAsic 3E e repetir o testes que foram realizados com o FPGA Altera no Actel. Se, no final deste teste, for constatado um bom funcionamento do filtro, então estaremos aptos a programá-lo no FPGA do bloco de processamento digital.

¹ Aluno do Curso de Engenharia Elétrica da UFRN – E-mail: emchavesjr@crn2.inpe.br

² Chefe do Centro Regional do Nordeste – E-mail: manoel@crn.inpe.br